

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-341030

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H04L 12/42

H04L 7/00

(21)Application number : 10-148554

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 29.05.1998

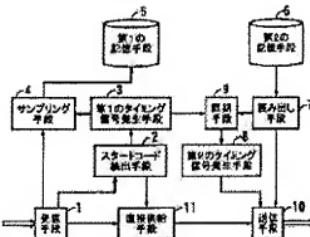
(72)Inventor : ONOZUKA TOSHIRO

## (54) REPEATING DEVICE AND REPEATING METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To execute data transmitting process and receiving process in parallel independently of the receiving timing of data.

SOLUTION: A receiving means 1 receives a bit stream. A start code detection means 2 detects a start code from the bit stream. A 1st timing signal generation means 3 is initialized when the start code is detected and then generates a 1st timing signal to be activated in one symbol period. A sampling means 4 samples the bit stream synchronously with the 1st timing signal. A 1st storage means 5 stores acquired data. A reading means 6 reads out data to be transmitted from a 2nd storage means 7. A 2nd timing signal generation means 8 generates a 2nd timing signal to be activated in one symbol period. A transmitting means 10 transmits the read data synchronously with the 2nd timing signal. When self-data are not transmitted, a synchronizing means 9 synchronizes the 2nd timing signal with the 1st timing signal.



(51)Int.Cl.<sup>5</sup>  
H 0 4 L 12/42  
7/00

識別記号

P I  
H 0 4 L 11/00  
7/00

3 3 0  
B

審査請求 未請求 請求項の数3 O.L (全9頁)

(21)出願番号 特願平10-148554  
(22)出願日 平成10年(1998)5月29日

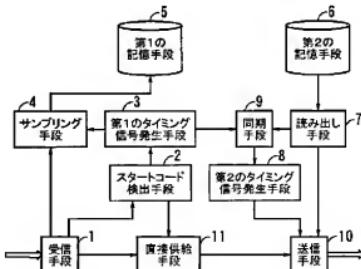
(71)出願人 000005234  
富士電機株式会社  
神奈川県川崎市川崎区田辺新田1番1号  
(72)発明者 小野塚 敏男  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内  
(74)代理人 弁理士 脇部 輝巖

## (54)【発明の名称】 中継装置および中継方法

## (57)【要約】

【課題】 中継装置において、データの受信のタイミングに拘わらず、データの送信処理と受信処理とを並行して行う。

【解決手段】 受信手段1は、ピットストリームを受信する。スタートコード検出手段2は、ピットストリームからスタートコードを検出する。第1のタイミング信号発生手段3は、スタートコードが検出された場合に初期化され、それ以降は1シンボル周期でアクティブとなる第1のタイミング信号を発生する。サンプリング手段4は、第1のタイミング信号に同期してピットストリームをサンプリングする。第1の記憶手段5は、取得されたデータを記憶する。読み出し手段7は、第2の記憶手段6から、送信しようとするデータを読み出す。第2のタイミング信号発生手段8は、1シンボル周期でアクティブとなる第2のタイミング信号を発生する。送信手段10は、読み出されたデータを第2のタイミング信号に同期して送信する。同期手段9は、自己のデータを送信していない場合には、第2のタイミング信号を第1のタイミング信号に同期させる。



### 【特許請求の範囲】

【請求項1】 複数のシンボルにより構成されるとともに、先頭部にスタートコードが付与されたフレームを単位としてネットワークを伝送されてくるビットストリームを中継する中継装置において、  
前記ビットストリームを受信する受信手段と、  
前記受信手段によって受信されたビットストリームから前記スタートコードを検出するスタートコード検出手段と、  
前記スタートコード検出手段によってスタートコードが検出された場合に初期化され、それ以降は1シンボル周期でアクティブとなる第1のタイミング信号を発生する第1のタイミング信号発生手段と、  
前記第1のタイミング信号に同期して前記ビットストリームをサンプリングするサンプリング手段と、  
前記サンプリング手段によって取得されたデータを記憶する第1の記憶手段と、  
送信しようとするデータを記憶する第2の記憶手段と、  
前記第2の記憶手段から、送信しようとするデータを読み出す読み出し手段と、  
前記読み出し手段によって読み出されたデータを送信する場合に参照され、1シンボル周期でアクティブとなる第2のタイミング信号を発生する第2のタイミング信号発生手段と、  
前記読み出し手段によって読み出されたデータを前記第2のタイミング信号に同期して送信する送信手段と、  
自己のデータを送信していない場合には、前記第2のタイミング信号発生手段が発生する前記第2のタイミング信号を、前記第1のタイミング信号発生手段が発生する前記第1のタイミング信号に同期させる同期手段と、  
を有することを特徴とする中継装置。

【請求項2】 データを中継する場合には、前記スタートコード検出手段によって前記スタートコードが検出されたことを受け、前記受信手段によって受信されたビットストリームを前記スタートコード分だけ遅延した後、前記送信手段に直接供給して送信される直接供給手段を更に有することを特徴とする請求項1記載の中継装置。

【請求項3】 複数のシンボルにより構成されるとともに、先頭部にスタートコードが付与されたフレームを単位としてネットワークを伝送されてくるビットストリームを中継する中継方法において、  
前記ビットストリームを受信する受信ステップと、  
前記受信ステップによって受信されたビットストリームから前記スタートコードを検出するスタートコード検出ステップと、  
前記スタートコード検出ステップによってスタートコードが検出された場合に初期化され、それ以降は1シンボル周期でアクティブとなる第1のタイミング信号を発生する第1のタイミング信号発生ステップと、  
前記第1のタイミング信号に同期して前記ビットストリームをサンプリングするサンプリングステップと、  
前記サンプリングステップによって取得されたデータを記憶する第1の記憶ステップと、  
送信しようとするデータを記憶する第2の記憶ステップと、  
前記第2の記憶ステップから、送信しようとするデータを読み出す読み出しステップと、  
前記読み出しステップによって読み出されたデータを送信する送信ステップと、  
自己のデータを送信していない場合には、前記第2のタイミング信号発生ステップが発生する前記第2のタイミング信号を、前記第1のタイミング信号発生ステップが発生する前記第1のタイミング信号に同期させる同期ステップと、  
を有することを特徴とする中継方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は中継装置および記録媒体に關し、特に、複数のシンボルにより構成されるとともに、先頭部にスタートコードが付与されたフレームを単位としてネットワークを伝送されてくるビットストリームを中継する中継装置およびそのような中継処理をコンピュータに実行させるプログラムを記録した記録媒体に關する。

【0002】

【従来の技術】 例えば、LAN (Local Area Network) などを相互に接続する場合には、中継装置を用いる必要がある。

【0003】 このような中継装置を用いて、例えば、スタートコードとエンドコードが付与されたフレームを単位として伝送されてくるデータを中継する場合には、スタートコードを検出すると同時に受信と中継処理を開始し、フレームのエンドコードの検出で前述の処理を終了する方法が知られている。

【0004】

【発明が解決しようとする課題】 ところで、前述した従来の中継装置では、受信処理と送信処理は同一のタイミングで行われていたため、例えば、データを送信中に他のデータを受けた場合であって、データの受信のタイミングがデータの送信のタイミングと同期していない場合には受信動作を行うことができないという問題点があつた。

【0005】 特に、リング型ネットワークでは、中継装置が送信したデータは所定の時間が経過した後に戻ってくることになるので、送信処理と受信処理を同時にう

必要がある。しかしながら、送信したデータが戻るまでの時間はシステムの構成やシステムの状態によって一定とはならないため、送信と受信のタイミングが一致せず、データの中継を行うことが困難であるという問題点があった。

【0006】本発明はこのような点に鑑みてなされたものであり、受信データの入力のタイミングに無関係に、送信処理と受信処理を同時にを行うことが可能な中継装置を提供することを目的とする。

#### 【0007】

【課題を解決するための手段】本発明では上記課題を解決するために、複数のシンボルにより構成されるとともに、先頭部にスタートコードが付与されたフレームを単位としてネットワークを伝送されてくるビットストリームを中継する中継装置において、前記ビットストリームを受信する受信手段と、前記受信手段によって受信されたビットストリームから前記スタートコードを検出するスタートコード検出手段と、前記スタートコード検出手段によってスタートコードが検出された場合に初期化され、それ以降は1シンボル周期でアクティブとなる第1のタイミング信号を発生する第1のタイミング信号発生手段と、前記第1のタイミング信号に同期して前記ビットストリームをサンプリングするサンプリング手段と、前記サンプリング手段によって取得されたデータを記憶する第1の記憶手段と、送信しようとするデータを記憶する第2の記憶手段と、前記第2の記憶手段から、送信しようとするデータを読み出す読み出し手段と、前記読み出し手段によって読み出されたデータを送信する場合に参照され、1シンボル周期でアクティブとなる第2のタイミング信号を発生する第2のタイミング信号発生手段と、前記読み出し手段によって読み出されたデータを送信する場合に参照され、1シンボル周期でアクティブとなる第2のタイミング信号発生手段は、前記第2のタイミング信号に同期して送信する送信手段と、自己のデータを送信していない場合には、前記第2のタイミング信号発生手段が発生する前記第2のタイミング信号を、前記第1のタイミング信号発生手段が発生する前記第1のタイミング信号を、前記第1のタイミング信号に同期させる同期手段と、有することを特徴とする中継装置が提供される。

【0008】ここで、受信手段は、ビットストリームを受信する。スタートコード検出手段は、受信手段によって受信されたビットストリームからスタートコードを検出する。第1のタイミング信号発生手段は、スタートコード検出手段によってスタートコードが検出された場合に初期化され、それ以降は1シンボル周期でアクティブとなる第1のタイミング信号を発生する。サンプリング手段は、第1のタイミング信号に同期してビットストリームをサンプリングする。第1の記憶手段は、サンプリング手段によって取得されたデータを記憶する。第2の記憶手段は、送信しようとするデータを記憶する。読み出し手段は、第2の記憶手段から、送信しようとするデータを読み出す。第2のタイミング信号発生手段は、読み

み出し手段によって読み出されたデータを送信する場合に参照され、1シンボル周期でアクティブとなる第2のタイミング信号を発生する。送信手段は、読み出し手段によって読み出されたデータを第2のタイミング信号に同期して送信する。同期手段は、自己のデータを送信していない場合には、第2のタイミング信号発生手段が発生する第2のタイミング信号を、第1のタイミング信号発生手段が発生する第1のタイミング信号に同期させる。

#### 【0009】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明の原理を説明する原理図である。この図に示すように、本発明の中継装置は、受信手段1、スタートコード検出手段2、第1のタイミング信号発生手段3、サンプリング手段4、第1の記憶手段5、第2の記憶手段6、読み出し手段7、第2のタイミング信号発生手段8、同期手段9、送信手段10、および、直接供給手段11によって構成されている。

【0010】受信手段1は、ネットワークを介して伝送されたビットストリームを受信する。スタートコード検出手段2は、受信手段1によって受信されたビットストリームからスタートコードを検出する。

【0011】第1のタイミング信号発生手段3は、スタートコード検出手段2によってスタートコードが検出された場合に初期化され、それ以降は1シンボル周期でアクティブとなる第1のタイミング信号を発生する。

【0012】サンプリング手段4は、第1のタイミング信号に同期してビットストリームをサンプリングする。第1の記憶手段5は、サンプリング手段によって取得されたデータを記憶する。

【0013】第2の記憶手段6は、送信しようとするデータを記憶している。読み出し手段7は、第2の記憶手段6から送信しようとするデータを読み出す。

【0014】第2のタイミング信号発生手段8は、読み出し手段7によって読み出されたデータを送信する場合に参照され、1シンボル周期でアクティブとなる第2のタイミング信号を発生する。

【0015】送信手段10は、読み出し手段7によって読み出されたデータを第2のタイミング信号に同期して送信する。同期手段9は、自己のデータを送信していない場合には、第2のタイミング信号発生手段8が発生する第2のタイミング信号を、第1のタイミング信号発生手段3が発生する第1のタイミング信号に同期させる。

【0016】直接供給手段11は、データを中継する場合には、スタートコード検出手段2によってスタートコードが検出されたことを受け、受信手段1によって受信されたビットストリームをスタートコード分だけ遅延した後、送信手段10に直接供給して送信させる。

【0017】次に、本発明の原理図の動作について説明

する。以下では、図1に示す中継装置が処理の対象とするデータの構造を図2を参照して説明した後、図3に示すタイミングチャートを参照してその動作について説明する。

【0018】図2は、図1に示す中継装置が処理の対象とするデータ（フレーム）の構造の一例を示す図である。この図に示すように、フレームは、スタートデリミタ（SD）部、データ（DT）部、フレームチェックシーケンス（FCS）部、および、エンドデリミタ（ED）部によって構成されている。

【0019】スタートデリミタ部は、それぞれが5ビットからなる2つのシンボルによって構成されているスタートコードである。スタートデリミタ部に含まれているシンボルの組み合わせによってフレームは2つに分類される。即ち、シンボル「J」とシンボル「K」を含むフレーム（図2（A））と、シンボル「J」とシンボル「J」を含むフレーム（図2（B））の2種類である。

【0020】次に、図1に示す原理図の動作について説明する。図3は、図1に示す原理図の動作を示すタイミングチャートである。いま、中継装置が第2の記憶手段6に記憶されている所定のデータを送信中であるとする。その場合、第2の記憶手段6に記憶されているデータが読み出しへ段階7によって読み出されて送信手段10に供給される。

【0021】送信手段10は、第2のタイミング信号発生手段8が発生する第2のタイミング信号（図3（D））がアクティブ（この例では、「H」の状態）となるタイミングに同期してデータを送信する。その結果、送信手段10からは、図3（B）に示すようにデータがシンボル単位で送出されることになる。この例では、期間P1～P8にかけてはデータ部（DT）が送出され、期間P9ではフレームチェックシーケンス部（FCS）が、また、期間P10、P11では、エンドデリミタ部（ED）がそれぞれ送出されている。なお、図3においては、説明を簡潔するためにデータ構造を一部簡略化して示している。

【0022】このようにデータを送信している最中に、図3（A）に示すように、1/2シンボル分のずれを有するフレームを受信したとすると、受信手段1は、受信信号（図3（A））をスタートコード検出手段2に供給する。

【0023】スタートコード検出手段2が、受信信号に含まれているスタートコード（この例ではスタートデリミタ）を検出すると、第1のタイミング信号発生手段3は第1のタイミング信号を初期化する。この例では、期間P3～P5において第1のタイミング信号が初期化されて受信信号と同期がとられている。

【0024】サンプリング手段4は、スタートコードが検出されると、第1のタイミング信号に同期して受信信

号をサンプリングし、第1の記憶手段5に供給する処理を開始する。その結果、受信されたデータは、第1の記憶手段5の所定の領域に逐次格納されていくことになる。

【0025】受信処理が終了しても、第1のタイミング信号発生手段3は受信中と同一のタイミングで第1のタイミング信号を発生し続ける。第2の記憶手段6に記憶されているデータの送信処理が終了すると（図3（B）の期間P11～P12）、同期手段9は、第2のタイミング信号発生手段8が発生する第2のタイミング信号を第1のタイミング信号に同期させる。その結果、図3（D）の期間P12～P13に示すように、第1および第2のタイミング信号が同期されることになる。

【0026】以上に示したように、本発明の中継装置では、データの受信のタイミングに拘わらず、送信処理と受信処理とを並行して実行することが可能となる。なお、データの中継処理を行う場合には、受信手段1によって受信されたデータを直接供給手段11が2シンボル分だけ遅延した後、送信手段10に供給して送信させる。

【0027】このような処理によれば、受信されたデータを最小の遅延で中継することが可能となる。なお、図1においては、第1の記憶手段5と第2の記憶手段6とを別々の構成としたが、これらを同一の構成としてもよい。

【0028】次に、図4を参照して本発明の実施の形態について説明する。図4は、本発明の実施の形態の構成例を示す図である。この図では、中継装置20-1～20-4が、ネットワーク21-1～21-4によって相互に接続されており、中継装置20-1～中継装置20-2～中継装置20-3～中継装置20-4の順番にデータが伝送されていく。

【0029】図5は、図4に示す中継装置20の詳細な構成例を示すブロック図である。この図において、CPU（Central Processing Unit）20aは、各種演算処理を行なうとともに、装置の各部を制御する。

【0030】ROM（Read Only Memory）20bは、CPU20aが実行する基本的なプログラムやデータ等を記憶している。RAM（Random Access Memory）20cは、CPU20aが各種演算処理や制御処理を実行する場合に、演算途中的データや実行中のプログラムを一時的に格納する。

【0031】画像駆動部20dは、CPU20aから供給された文字コードやグラフィックコードに対応するビットマップデータを生成し、そのビットマップデータに対応する映像信号を表示装置30にに対して出力する。

【0032】表示装置30は、例えば、CRT（Cathode Ray Tube）モニタ等によって構成されており、画像駆動部20dから供給された画像信号を表示出力する。HDD（Hard Disk Drive）20eは、OS（Operating

System) やアプリケーションソフト等を記憶している。  
【0033】インターフェース 20 f は、送受信部 20 h との間でデータを授受する場合に、相互のデータ形式を変換する。バス 20 g は、CPU 20 a と他の装置とを接続し、これらの間でデータを伝送する。

【0034】送受信部 20 h は、ネットワークを伝送されてきたデータを受信するとともに、ネットワークに対してデータを送出する。なお、この送受信部 20 h は、通信プロトコルの最下層である物理層に対応する処理を行う。

【0035】図 6 は、図 5 に示す送受信部 20 h の詳細な構成例を示すブロック図である。この図において、シフトレジスタ 40 は、10 ビットのレジスタであり、第 0 ビット目に入力されたビットデータを図示せぬクロック信号に同期して 1 ビットずつシフトする。そして、第 9 ビットまで達した場合にはそのデータは次のクロックで破棄する。なお、シフトレジスタ 40 が格納されている第 0 ～第 9 ビット目のデータは、10 ビットのパラレルデータとして出力される。

【0036】デコーダ 41 は、シフトレジスタ 40 から出力されたパラレルデータがスタートコードである場合には、SD 信号を “H” の状態とし、それ以外の場合には “L” の状態とする。即ち、フレームが受信され、そのフレームのスタートコード部が検出された場合には “H” の状態とされる。

【0037】デコーダ 42 は、シフトレジスタ 40 から出力されたデータがエンドコードを含んでいる場合には、ED 信号を “H” の状態とし、それ以外の場合には “L” の状態とする。即ち、ネットワークからフレームが受信され、そのフレームのエンドコード部が検出された場合には “H” の状態とされる。

【0038】中継制御部 4 は、SD 信号および TX SEL 信号(後述する)を参照して、受信処理を行う場合に参照される RSYM 信号と、送信処理を行う場合に参照される TSYM 信号とを生成する。

【0039】デコーダ 44 は、SD 信号が “H” の状態とされると、RSYM 信号に同期して、シフトレジスタ 40 から出力される第 0 ～第 4 ビット目のデータを対応する 4 ビットのデータに復号して出力し、ED 信号が “H” の状態となるまで同様の動作を繰り返す。なお、このようにして生成されたデータは、インターフェース 20 f に供給される。

【0040】エンコーダ 45 は、インターフェース 20 f を介して供給された送信しようとする 4 ビットのデータを、送信用の 5 ビットのデータに符号化してシフトレジスタ 4 6 に供給する。

【0041】なお、ネットワークに対して送出するデータを符号化するのは、送出されるビットストリームが “1” の状態を継続することを防止するためである。このようにすることで、直流成分を伝送する必要がなくな

るため、ネットワークに要求される伝送帯域幅を削減することができる。

【0042】シフトレジスタ 4 6 は、エンコーダ 4 5 から供給される 5 ビットのデータを入力し、T SYM 信号が “H” の状態となることを契機として、図示せぬクロック信号に同期してエンコーダ 4 5 から供給される 5 ビットデータを取り込み、第 4 ビット目から第 0 ビット目に向けて 1 ビットずつシフトするとともに、第 0 ビット目のデータをマルチブレクサ 4 7 に対して供給する。

【0043】マルチブレクサ 4 7 は、中継装置が自己的データを送信する場合に “H” の状態とされる TX SEL 信号が “H” の状態である場合にはシフトレジスタ 4 6 の出力を選択し、また、TX SEL 信号が “L” の状態である場合にはシフトレジスタ 4 0 から出力される第 9 ビット目を選択し、ネットワークに対して送出する。

【0044】なお、図 1 に示す原理図と図 5 および図 6 に示す実施の形態の対応関係(但し一例)を以下に示す。即ち、受信手段 1 の機能は、シフトレジスタ 4 0 が実現する。スタートコード検出手段 2 の機能は、デコーダ 4 1 が実現する。第 1 のタイミング信号発生手段 3 の機能は、中継制御部 4 3 が実現する。

【0045】サンプリング手段 4 の機能は、デコーダ 4 4 とインターフェース 20 f とが実現する。第 1 の記憶手段 5 および第 2 の記憶手段 6 の機能は、RAM 20 c または HDD 20 e が実現する。

【0046】読み出し手段 7 の機能は、CPU 20 a が実現する。第 2 のタイミング信号発生手段 8 の機能は、中継制御部 4 3 が実現する。同期手段 9 の機能は、中継制御部 4 3 が実現する。送信手段 10 の機能は、マルチブレクサ 4 7 が実現する。直接供給手段 11 の機能は、シフトレジスタ 4 0 とマルチブレクサ 4 7 とが実現する。

【0047】次に、図 7 ～図 9 に示すタイミングチャートを参照して以上の実施の形態の動作について説明する。図 7 は、図 5 および図 6 に示す実施の形態が中継処理を行う場合のタイミングチャートである。

【0048】いま、シフトレジスタ 4 0 がネットワークから図 7 (A) に示すようなフレームを入力したとする。このデータ(ビットデータ)は、シフトレジスタ 4 0 の第 0 ビット目に供給され、図示せぬクロック信号に同期して 1 ビットずつシフトされる。

【0049】シフトレジスタ 4 0 から出力されるパラレルデータは、デコーダ 4 1 によって常に監視されており、受信データがスタートコードである場合(シンボル J および K(または J) が受信された場合)には、デコーダ 4 1 は、その出力である SD 信号(図 7 (B)) を “H” の状態とする。

【0050】すると、中継制御部 4 3 は、SD 信号が “H” の状態とされたことを受け、RSYM 信号(図 7 (D)) を初期化する。その結果、RSYM 信号は、各

シンボルの終端で“H”の状態となるように校正される。

【0051】このとき、TXSEL信号（図7（G））は、“L”の状態（自己のデータを送信していない状態）であることから、中継制御部43は、TSYM信号（図7（E））をRSYM信号に同期させる。その結果、TSYM信号とRSYM信号は同一のタイミングの信号となる。

【0052】デコーダ44は、SD信号が“H”的状態となると同時に、シフトレジスタ40から出力される第0～第4ビットのデータを4ビットのデータに復号してインターフェース20fに供給する。インターフェース20fは、RSYM信号が“H”的状態となるタイミングでデコーダ44から出力されるデータを取得し、例えば、RAM20cに供給して格納させる。

【0053】マルチブレクサ47は、TXSEL信号が“L”的状態であることから、シフトレジスタ40から出力される第9ビット目のデータを選択し、ネットワークに対して出力する。シフトレジスタ40の第9ビット目のデータは、ネットワークから取得されたデータを10ビット分だけ遅延したものであるので、例えば、期間P1において受信されたシンボル「J」の最初のビットは、期間P3から送信が開始されることになる。

【0054】次に、送信処理について説明する。図8は、本実施の形態が自己的データをネットワークに対して送信する場合のタイミングチャートである。

【0055】データを送信する場合には、インターフェース20fは、TXSEL信号（図8（G））を“H”的状態とするとともに、送信しようとするデータを、例えば、RAM20cから読み出してエンコーダ45に供給する。

【0056】図8の場合では、期間P1の終端においてTXSEL信号が“H”的状態とされるとともに、期間P2においてエンコーダ45に対するデータの送信が開始される（図8（H）参照）。

【0057】エンコーダ45に供給されたデータは、伝送用の5ビットのデータに符号化され、シフトレジスタ46に供給される。シフトレジスタ46は、TSYM信号の立ち下がりに同期して、ビット0のデータをマルチブレクサ47に供給するとともに、図示せぬクロック信号に同期してビットのシフトを開始する。

【0058】その結果、エンコーダ45から供給されたデータは、TSYM信号の立ち下がりを契機として、図示せぬ内部クロックに同期してマルチブレクサ47を介して1ビットずつネットワークに送出されることになる。

【0059】データの送信が終了するとインターフェース20fは、TXSEL信号を“L”的状態とする（図8（G）期間P12以降参照）。以上の処理によれば、RAM20cまたはHDD20eに格納されているデータをネットワークに対して送信することが可能となる。

【0060】次に、データを送信中に他のデータの受信処理を並行して行う場合の動作について説明する。図9は、データを送信中に他のデータの受信処理を並行して行う場合のタイミングチャートである。

【0061】いま、RAM20cまたはHDD20eに格納されているデータが、ネットワークに対して送信されているとする。そのような場合において、ネットワークから図9（A）に示すデータを受信したすると、デコーダ41は、シフトレジスタ40に対してスタートコードが全て格納されるタイミングでSD信号を“H”的状態とする。この例では、期間P4においてSD信号が“H”的状態とされている。

【0062】中継制御部43は、SD信号が“H”的状態とされたことを受けて、RSYM信号を初期化する。この例では、期間P4においてRSYM信号が初期化されており、それ以降は、RSYM信号は受信データの各シンボルの終端部に同期している。

【0063】一方、TSYM信号は、RSYM信号の初期化とは無関係であるので、マルチブレクサ47は、以前と変わらぬタイミングでデータをネットワークに送信し続ける。

【0064】そして、エンドコードが受信されると、デコーダ42はED信号を“H”的状態とする。その結果、デコーダ44はデコード処理を停止するので受信処理が終了する。図9の例では、期間P9～P11においてエンドコードが入力されており、エンドコードが全て受信されるタイミング（期間P11）でED信号が“H”的状態とされて受信処理を終了する。

【0065】マルチブレクサ47からのデータ送信処理が終了すると、TXSEL信号が“L”的状態とされる。TXSEL信号が“L”的状態にされると、中継制御部43は、TSYM信号をRSYM信号に同期させる。その結果、図9の期間P15に示すように、TSYM信号とRSYM信号とが同期することになる。

【0066】以上の実施の形態によれば、受信処理と送信処理を別のタイミング信号に同期して行うようとしたので、送信処理中に受信処理を並行して行うことが可能となる。

【0067】

【発明の効果】以上説明したように本発明では、ネットワークからビットストリームを受信し、ビットストリームからスタートコードが検出された場合に初期化され、それ以降は1シンボル周期でアクティブとなる第1のタイミング信号を発生し、この第1のタイミング信号に同期してビットストリームをサンプリングして記憶する。データを送信する場合には、1シンボル周期でアクティブとなる第2のタイミング信号を発生し、送信しようとするデータを読み出してこの第2のタイミング信号に同期して送信する。そして、自己のデータを送信してない

い場合には、第2のタイミング信号を第1のタイミング信号に同期させるようにしたので、データの受信のタイミングに拘わらず、データの送信処理と受信処理を並行して行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の原理を示す原理図である。

【図2】図1に示す中継装置が処理の対象とするデータ(フレーム)の構造の一例を示す図である。

【図3】図1に示す原理図の動作を示すタイミングチャートである。

【図4】本発明の実施の形態の構成例を示す図である。

【図5】図4に示す中継装置の詳細な構成例を示すブロック図である。

【図6】図5に示す送受信部の詳細な構成例を示すブロック図である。

【図7】図5および図6に示す実施の形態が中継処理を行う場合のタイミングチャートである。

【図8】図5および図6に示す実施の形態が自己のデータをネットワークに対して送信する場合のタイミングチャートである。

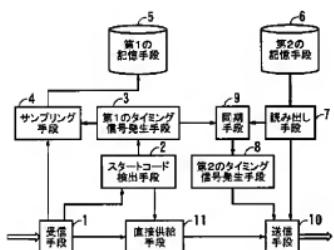
タをネットワークに対して送信する場合のタイミングチャートである。

【図9】図5および図6に示す実施の形態がデータを送信中にデータの受信を同時に使う場合のタイミングチャートである。

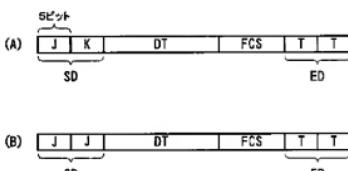
【符号の説明】

- 1 受信手段
- 2 スタートコード検出手段
- 3 第1のタイミング信号発生手段
- 4 サンプリング手段
- 5 第1の記憶手段
- 6 第2の記憶手段
- 7 読み出し手段
- 8 第2のタイミング信号発生手段
- 9 同期手段
- 10 送信手段
- 11 直接供給手段

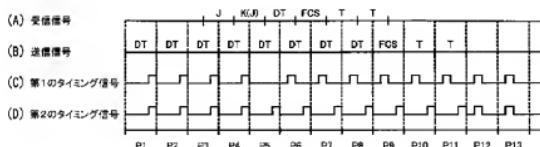
【図1】



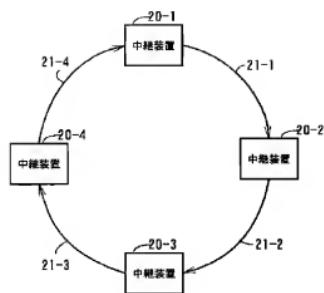
【図2】



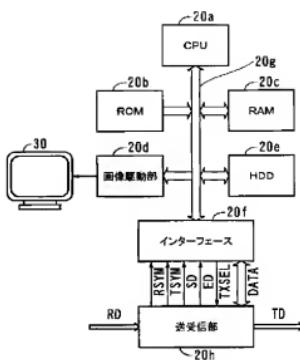
【図3】



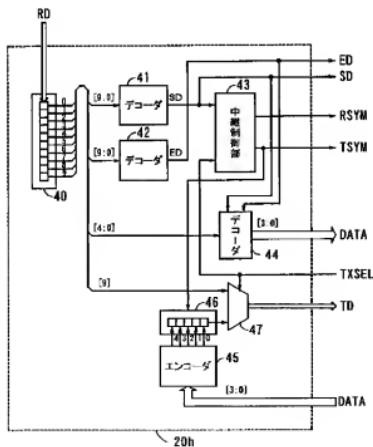
【図4】



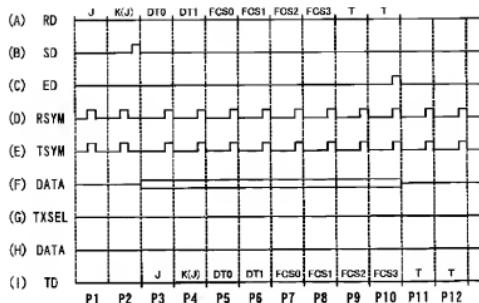
【図5】



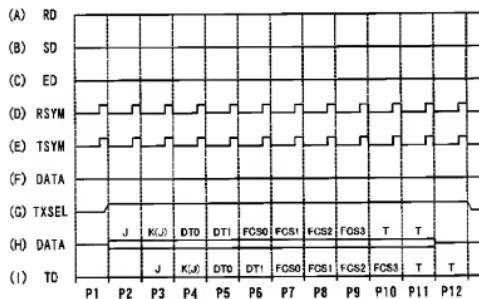
【図6】



【図7】



【図8】



【図9】

